

CONSTITUTION: After a polycrystalline Si thin film 2 is deposited on the insulation substrate 1, a gate insulation film 3 is deposited on this thin film. Thereafter, this is placed in a high frequency plasma generator, and a plasma made of nitrogen ions is generated. As a result, nitrogen ions penetrate into the SiO(sub 2) of the gate insulation film 3; therefore, the SiO(sub 2) is turned nitrided while defects are filled. A gate 4 is formed after the plasma nitriding of the SiO(sub 2) film is thus finished, a source region 6 and a drain region 7 are formed by using this gate as a mask.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

004514393

WPI Acc No: 1986-017737/198603

Thin film transistor mfr. - includes depositing silicon thin film on insulator, covering wiht insulation, holding substrate in plasma atmos.

NoAbstract Dwg 2/2

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 60241269</u>	A	19851130	JP 8497892	A	19840516	198603 B

Priority Applications (No Type Date): JP 8497892 A 19840516

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; DEPOSIT; SILICON; THIN; FILM; INSULATE; COVER; INSULATE; HOLD; SUBSTRATE; PLASMA; ATMOSPHERE; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/28; H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報 (A)

昭60-241269

⑬ Int. Cl.

H 01 L 29/78
21/28
27/12
29/62

識別記号

庁内整理番号

8422-5F
7638-5F
7514-5F
7638-5F

⑭ 公開 昭和60年(1985)11月30日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭59-97892

⑰ 出 願 昭59(1984)5月16日

⑱ 発 明 者 岩 野 英 明
⑲ 出 願 人 株式会社諏訪精工舎
⑳ 代 理 人 弁理士 最 上 浩

諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
東京都新宿区西新宿2丁目4番1号

明 細 書

1. 発明の名称 薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) 絶縁性基板の上にシリコン薄膜を堆積する工程と該シリコン薄膜上に絶縁性薄膜を堆積した後、前記基板をプラズマ処理中に保持する工程とを調えたことを特徴とする薄膜トランジスタの製造方法。

(2) 前記シリコン薄膜上の絶縁性薄膜は、膜厚100~1000Åの二酸化シリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(3) 前記プラズマ処理が酸素及び水流を含むプラズマ処理であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 発明の詳細な説明

本発明は薄膜トランジスタ(以下TFTと称す

る)に関し、特に製造プロセスにおいて相互コンダクタンスが大きく且つ安定性の優れたTFTの製造方法に関するものである。

TFTは大面積にわたってスイッチングアレイを形成し易くそのためイメージセンサあるいはディスプレイ素子用のスイッチングアレイを目的に研究が進められている。このような目的に用いられるTFTは、高いオン・オフ比を有し且つ出流の低い動作電圧で駆動させるために、高い相互コンダクタンス $\mu_m (= \frac{g_{ID}}{g_{DQ}})$ を有する必要がある。ドレイン電流が飽和している領域では μ_m は

$$\mu_m = \frac{W \cdot \mu \cdot C_i}{L} (V_G - V_T)$$

と表わされる。ここでWはチャンネル幅、Lはチャンネル長、 μ はチャンネル部のキャリアの移動度、 C_i はゲート絶縁膜の容量、 V_G はゲート印加電圧、 V_T は閾値電圧を示している。 μ_m を高くするためにはいろいろな方法があるが、ゲート絶縁膜の容量を大きくすることの一つの有効な方法である。従来、ゲート絶縁膜には二酸化シリコン

(SiO_2) が液も多く用いられるが、大面積トランジスタアレイを製作するには安価なガラス基板を用いる必要があるため、CVD(化学的気相析出)法等により低温で SiO_2 薄膜を形成する必要があった。而してこのように形成した SiO_2 膜中には欠陥密度が多く、絶縁耐圧が低いため、ゲート絶縁膜の厚さを上げるために、 SiO_2 膜の膜厚を薄くすることは限界がある。またゲート絶縁膜の誘電率を上げる方法もあり、酸化窒素(Si_3N_4)膜等の誘電率の比較的大きな材料を用いると環境に対する安定性なども優れているが、半導体間との間に界面単位を形成し、 TFET の安定性に問題がある。また低温で形成する SiO_2 膜には内部に高い欠陥密度を有し、これがキャリアのトラップとして働き、 TFET の閾値電圧やドレイン電流等の動作特性の安定性に問題があった。

本発明はかかる状況を鑑みて脱されたもので、従来に比較して欠陥密度が低いゲート絶縁膜を提供しその増強として、高い相互コンダクタンスを有し且つ安定性の優れた誘電トランジスタの製造

方法を提供するものである。

以下図面に基づき本発明について具体的に説明する。第1図(a)~(d)に本発明に基づく薄膜トランジスタの製造工程を示す。第1図(a)は絶縁性基板として窒化珪素ガラス(1)を示している。基板としては軟化点の低い珪ガラスを使用してもトランジスタの製造は可能である。第1図(b)はCVD法により基板上に多結晶シリコン誘電の堆積した状態を示す。多結晶シリコン誘電(2)は 1000Å ~ 5000Å の膜厚で、形成する。第1図(c)は前記多結晶シリコン誘電上に仮圧CVD法によりゲート絶縁膜を堆積した状態を示す。ゲート絶縁膜の厚さは 100Å ~ 1000Å にする。このあと上記基板を平行平板型の高周波プラズマ発生装置内に設置する。第2図は該高周波プラズマ発生装置の概略を示す。

(10)の真空槽内の誘電ホルダー(11)に前記基板を設置し、排気バルブ(18)を通して真空に排気する。しかる後ガス導入バルブ(15)を開放して、アンモニア(NH_3)ガスあるいは水素(H_2)ガスをキャリアガスとする窒素(N_2)ガスを真空槽内に導入

する。所定の内圧にした後電極(12)に高周波電圧を印加し、前記導入ガスを分解しプラズマ状態を電極間に誘起する。この場合基板は加熱ヒータ(13)により加熱しておく。こうして発生した電離イオンは前記ゲート絶縁膜の SiO_2 中に進入し SiO_2 膜は欠陥を埋めながら次第に窒素化されていく。本実施例における前記プラズマ窒化の条件は、 NH_3 ガスの内圧を 1.0Torr とし、高周波(周波数 13.56MHz)電力を 20W とし、反応温度は 350°C の値で60分間の窒化を行なった。こうして SiO_2 膜のプラズマ窒化が終了した後、第1図(d)に示すようにアルミニウムゲート(4)を形成し、該アルミニウムゲート(4)をマスクにしてリンイオンを注入(5)するセルフアラインメント方式でソース領域(6)、ドレイン領域(7)を形成した。第2図(e)はソース、ドレイン領域へのアルミニウムコンタクトの形成状態を示す。

層間絶縁膜の SiO_2 (9)を堆積した後コンタクトホールを形成し、所定の寸法のソース、ドレイン、電極配線間を形成する。本発明による N チャネル

型多結晶シリコン TFET のゲート絶縁膜の耐圧は SiO_2 膜中の欠陥を電離イオンが補填したことから従来に比較して2倍以上増加し、その結果ゲート絶縁膜の膜厚を薄くしても問題が 발생せず、従来のプラズマ窒化をしない素子に比べて相互コンダクタンスは10倍程度改善された。またドレイン電流あるいは閾値電圧の経時変化も本発明による素子ではほとんどみられず、安定な TFET の製造が可能であった。

本発明によれば高い相互コンダクタンスを有し且つ信頼性の高い薄膜トランジスタを低温プロセスで製造でき、大面積平面ディスプレイのスイッチング素子を提供することができる。

4. 図面の簡単な説明

第1図(a)~(d)は本発明による TFET の製造工程の断面図を示す。

第2図は本発明によるプラズマ窒化装置の構成図である。

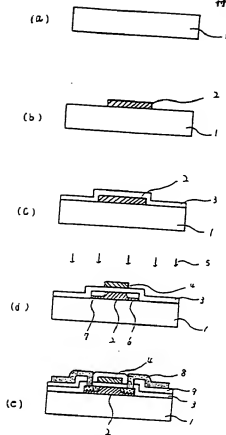
1-絶縁性基板 2-半導体層 3-ゲート絶

絶縁 4-ゲート電極 5、7-ソース、ドレイン部 8-ソース、ドレイン電極 9-無明絶縁膜
 10-真空槽 11-格板ホルダ 12-高周波成膜 13-基板加熱ヒータ 14-高周波電源 15-ガス導入弁 16-マスフローコントローラ 17-ガスボンベ。

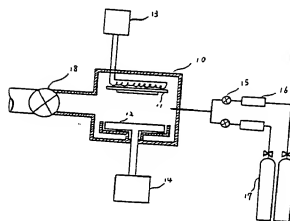
以上

出願人 株式会社 諏訪精工舎
 代理人 尹 聖 士 城 上 務

特開昭60-241269(3)



第 1 図



第 2 図